

(51)Int.Cl.

G11B 20/18  
G11B 20/10  
H04N 5/91  
H04N 5/92

(21)Application number : 04-312471

(71)Applicant : SONY CORP

(22)Date of filing : 20.11.1992

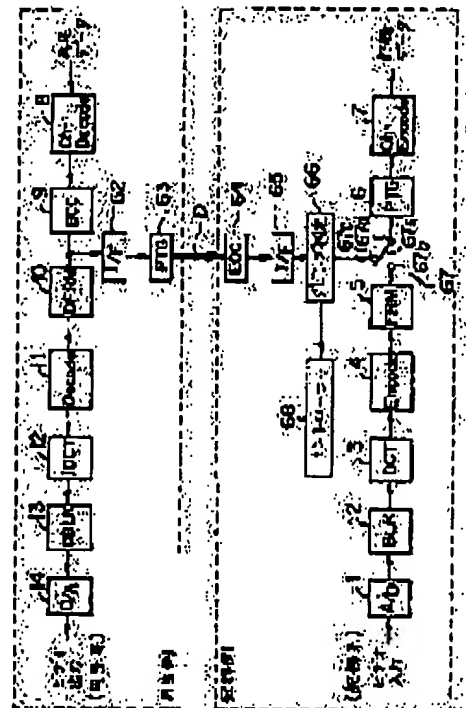
(72)Inventor : INOUE HAJIME  
ISHIMARU HIROYOSHI  
SHIMA HISATO  
OGAWA KAZUYUKI

(54) TRANSMITTER

(57)Abstract:

**PURPOSE:** To invalidate data modification at a transmission line, to prevent illegal dubbing and to strengthen protection against a copyright by adding error correction code to dubbing control information and main data and supplying it to the line.

**CONSTITUTION:** A dubbing deciding circuit 66 reads dubbing times control code 61 included in data supplied through a transmission line D and decides whether data to be controlled is an object to be protected against a copyright or not. Further, if it is the object to be protected, it compares dubbing times recorded in the code 61 with predetermined dubbing times. If the recorded times exceed the predetermined times, it outputs an error signal to a controller 68 to inhibit data transmission to a record system. If it is less than the predetermined times, it outputs an allowance signal to the controller 68 to allow data transmission to the system.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-162690

(43) 公開日 平成6年(1994)6月10日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	1 0 2	9074-5D		
20/10	H	7923-5D		
H 0 4 N 5/91	P	4227-5C		
5/92	H	4227-5C		

審査請求 未請求 請求項の数3 (全 17 頁)

(21) 出願番号 特願平4-312471

(22) 出願日 平成4年(1992)11月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 井上 肇

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 石丸 博敬

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 嶋 久登

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 小池 晃 (外2名)

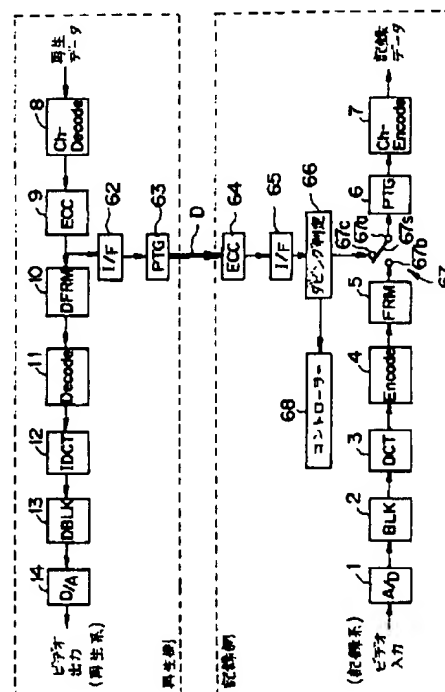
最終頁に続く

(54) 【発明の名称】 伝送装置

(57) 【要約】

【目的】 伝送路上でのデータの改変を無効にすることができ、不法ダビングの防止及び著作権保護の強化を確実に達成させるようにする。

【構成】 磁気テープにダビング回数規制コード61と共に記録されたデータを再生側VTRにて読み出し、この読み出したデータを伝送路Dを介して記録側VTRに伝送し、データ内のダビング回数規制コード61がダビング可能を意味する場合にのみ、記録側VTRにおける磁気テープに伝送データを記録するようにした伝送装置において、再生側VTRにおける伝送路Dの出力段に、伝送用のパリティ符号を付加するパリティ発生回路63を接続し、記録側VTRにおける伝送路Dの入力段に、再生側で付加されたパリティ符号に基づいて、伝送データのエラー訂正を行うECC回路64を接続して構成する。



## 【特許請求の範囲】

【請求項1】 記録媒体に記録されたダビング規制情報と共に主データを1つの記録再生装置にて読み出し、この読み出した上記ダビング規制情報と上記主データを伝送路を介して別の記録再生装置に伝送し、上記ダビング規制情報がダビング可能を意味する場合にのみ、上記別の記録再生装置における記録媒体に上記ダビング規制情報と上記主データを記録するようにした伝送装置において、

上記ダビング規制情報と上記主データにエラー訂正コードを付加して伝送路に供給することを特徴とする伝送装置。

【請求項2】 上記エラー訂正コードは、上記記録媒体に記録する際に付加されるエラー訂正コードであることを特徴とする請求項1記載の伝送装置。

【請求項3】 上記エラー訂正コードは、伝送用のパリティコードであることを特徴とする請求項1記載の伝送装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の記録再生装置、例えばデジタルVTRがそれぞれ伝送路を通じて接続され、記録媒体に記録されているデジタルデータを1つの記録再生装置を介して読み出し、この読み出したデジタルデータを別の記録再生装置の記録媒体にダビングするようにした伝送装置に関し、特にそのダビングの回数が記録媒体に主データ（この場合、ビデオデータ）と共に記録されたダビング規制情報にて管理された伝送装置に関する。

【0002】

【従来の技術】現在、放送用のVTRにおいては、既にD1方式、D2方式及びD3方式のデジタルVTRが商品化されている。一方、民生用でもデジタルVTRの実用化に向けて各種フォーマットが提案されている。

【0003】図11は、離散コサイン変換（以下、単にDCTと記す）と可変長符号化に用いたデジタルVTRの構成を示すブロック図である。

【0004】図において、入力されたアナログコンポーネントビデオ信号（Y、R-Y、B-Y）は、A/D変換器1によってデジタルコンポーネントビデオ信号に変換され、ブロッキング回路2によりフレームメモリを用いて水平方向8サンプル、垂直方向8ライン（以下、8×8単位という）を1つのブロックとするデータにまとめられ、シャフリング及びY/C多重される。

【0005】この8×8単位のデータは、DCT回路3によりDCTされ、時間振幅領域のデータが周波数領域のデータに変換される。DCTされたデータは、エンコーダ4により再量子化され、2次元ハフマン符号等による可変長符号化されて、データ圧縮される。この可変長符号化は、所定数のDCTブロック（例えば、30DT

ブロック）から構成されるバッファリングユニットごと

に固定長になるように制御される。  
【0006】可変長符号化されたデータは、フレーミング回路5によりECC（Error Correction Code）の積符号構成となるようにブロック化され、パリティ発生回路6によりパリティが付加され、チャンネルエンコーダ7によりシリアルデータに変換されて磁気テープに記録される。

【0007】再生時は、逆にチャンネルデコーダ8によりデータ検出、シリアル/パラレル変換が行われ、ECC回路9によりエラー訂正が行われる。エラー訂正されたデータは、デフレーミング回路10により可変長符号のワード単位に分解され、デコーダ11により復号化、逆量子化され、逆DCT回路12により逆DCTされて8×8単位のデータとなる。このデータは、デブロッキング回路13によりデシャフリング、Y/C分離、データ補間等が行われて、デジタルコンポーネントビデオ信号に戻され、D/A変換器14により元のアナログコンポーネントビデオ信号に変換されて出力される。

【0008】次に、上記デジタルVTRにてダビングする場合について図12を参照しながら説明する。

【0009】図において、Aで示すダビング経路を用いたダビング方法は、再生機のD/A変換器14からのアナログ出力を記録機のA/D変換器1に inputsするアナログダビングである。また、Bで示すダビング経路を用いたダビング方法は、再生機のデジタルコンポーネント出力をFIFO（first-in first-out）方式のデジタル・インターフェイス（以下、単にI/Fと記す）15を介して記録機のブロッキング回路2に inputsするデジタルダビングである。

【0010】しかし、上記ダビング方法のうち、Aで示すダビング経路を用いたダビング方法は、アナログダビングであるため、ダビング時に画質が劣化するという不都合がある。また、Bで示すダビング経路を用いたダビング方法は、圧縮されていないビデオ信号を処理するため、伝送レートが216Mbpsとなってしまう、民生用のダビング端子を考えると、この伝送レートは、伝送装置として装置化した場合、価格の面で不利となり、商品化する上で困難性が伴うという問題がある。

【0011】そこで、従来では、Cで示すダビング経路を用いてダビングを行うようにしている。即ち、このダビング方法は、再生機のECC回路9によりエラー訂正を行ったデータをI/F16を介して記録機のパリティ発生回路6に inputsするデジタルダビングである。

【0012】このダビング方法によれば、圧縮されているビデオ信号を処理するため、伝送レートが25Mbpsと低くなり、伝送装置として装置化及び商品化する上で有利となる。

【0013】また、最近では、上記デジタルダビングに関しては、著作権の問題から、ダビングの回数を規制

3

する必要がある。そのため、従来では、R-DAT（回転ヘッドを用いたデジタル・オーディオ・テープレコード）で既に実施されているSCMS（Serial Copy Management System）コードと同様のダビング規制コードを用いてダビング回数の制限を行うようにしている。

【0014】ここで、上記ダビング回数規制コードは、磁気テープ上に主データ（ビデオデータ及びオーディオデータ）と共に記録されるもので、その構成は、通常、著作権保護対象のものであるかの判別ビットと、現在のダビング回数を示すデータと、対象の画像データのソースがテープ、ディスク又は放送かの種別データが割り当てられている。

【0015】そして、ダビング時には、再生機から記録機に伝送路を介して伝送され、上記判別ビットが著作権保護対象を意味するものであり、かつダビング回数が所定の回数を越えている場合、記録機の磁気テープには、記録は行われず。一方、判別ビットが著作権保護対象でないことを意味するものであるか、又はダビング回数が所定の回数未満のときは、記録機に伝送した段階で、ダビング回数を更新（+1）して記録機における磁気テープに主データと共に記録する。

【0016】

【発明が解決しようとする課題】ところで、従来の伝送装置においては、伝送データを図13に示すように、主データ（ビデオデータやオーディオデータ）21に上記ダビング回数規制データ22を付加し、更に伝送の同期をとるSYNCコード23を付加して伝送するようにしている。

【0017】従って、不法にダビングを行う場合は、例えば伝送路にデータを変更するための機器を挿入し、伝送されるデータ中、ダビング回数規制コード22の判別ビットを無効にする、即ち著作権保護対象でないものに改変することで簡単に行うことができる。しかも、上記ダビング回数コード22は、SYNCコード23をもとに簡単に検出できるため、上記ダビング回数規制コード22を簡単に変更することが可能である。

【0018】このように、従来の伝送装置においては、ダビングの回数が所定回数を越えたものについても簡単にダビングを行うことができ、著作権保護の強化を達成できないという問題があった。

【0019】本発明は、上記の課題に鑑みてなされたもので、その目的とするところは、伝送路上でのデータの改変を無効にすることができ、不法ダビングの防止及び著作権保護の強化を確実に達成させることができる伝送装置を提供することにある。

【0020】

【課題を解決するための手段】本発明は、記録媒体に記録されたダビング規制情報61と共に主データ43（53）を1つの記録再生装置にて読み出し、この読み出した上記ダビング規制情報61と上記主データ42（53）

4

3）を伝送路Dを介して別の記録再生装置に伝送し、上記ダビング規制情報61がダビング可能を意味する場合にのみ、上記別の記録再生装置における記録媒体に上記ダビング規制情報61と上記主データ43（53）を記録するようにした伝送装置において、上記ダビング規制情報61と上記主データ43（53）にエラー訂正コードを付加して伝送路に供給するように構成する。

【0021】上記エラー訂正コードとしては、例えば、記録媒体に記録する際に付加されるエラー訂正コードであってもよいし、伝送用のパリティコードであってもよい。

【0022】

【作用】本発明に係る伝送装置においては、1つの記録再生装置から伝送路Dに伝送されるデータが、主データ43（53）とダビング回数規制情報61のほかに、エラー訂正コードが含まれている。

【0023】そして、記録媒体に記録されたエラー訂正コードが付加された状態で伝送路を伝送される。別の記録再生装置は、上記伝送路Dを伝送されてきた主データ43（53）及びダビング回数規制情報61を、エラー訂正コードに基づいてエラー訂正を行うことが可能となる。

【0024】従って、伝送路にデータを変更することができる機器を挿入してダビング回数規制情報61を改変したとしても、1つの記録再生装置側で付加されたエラー訂正コードに基づいて、別の記録再生装置にてエラー訂正を行うため、改変されたデータは元のデータに復元されることになる。従って、伝送路D上でのデータの改変を無効にすることができ、不法ダビングの防止及び著作権保護の強化を確実に達成させることができる。

【0025】

【実施例】以下、本発明に係る伝送装置をデジタルVTR同士のダビングシステムに適用した実施例（以下、単に実施例に係るダビングシステムと記す）を図1～図10を参照しながら説明する。

【0026】この実施例に係るダビングシステムに用いられる磁気テープの1ヘリカルトラックの記録フォーマットは、図1に示すように、その両端に、磁気テープと磁気ヘッドが安定した接触状態を得るまでの予備的なマージナルエリア31a及び31bが割り付けられ、ヘリカルトラックTの中央に実際の画像データが記録されるビデオエリア32が割り付けられ、一方のマージナルエリア31aと上記ビデオエリア32の間にそれぞれ第1のATFエリア33aとオーディオエリア（音声データが記録される）34が割り付けられ、他方のマージナルエリア31bとビデオエリア32との間にそれぞれサブコードエリア35と第2のATFエリア33bが割り付けられている。

【0027】また、各エリアの間、例えば第1及び第2のATFエリア33a及び33bの先頭部分、オーディ

5

オエリア33の両側部分、ビデオエリア32の両側部分及びサブコードエリア35の両側部分には、それぞれはAMBLEエリア36が割り付けられている。なお、斜線で示すエリア37は、ブロックギャップエリアである。

【0028】上記サブコードエリア35には、サブコード信号（時間や番地など）が記録され、第1及び第2のATFエリア33a及び33bには、トラッキング補正用のATF信号が記録される。

【0029】そして、これら各エリアに記録されるデータのうち、ビデオエリア32に記録される画像データ及びオーディオエリア34に記録される音声データの各符号構造は、図2及び図3に示すような構造を有する。即ち、画像データは、図2に示すように、例えば列方向に91バイトを有するブロックが、行方向に49個配列されたフレーム構造を有し、更にこのフレームが3つ配列された符号構造を有する。

【0030】各ブロックは、伝送の同期をとる2バイト構成のSYNCデータ41と、3バイト構成のIDデータ42と、78バイト構成の主データ43と、8バイト構成の第1のパリティ符号44aから構成されている。これらの構成を有するブロック（便宜的に画像データブロックと記す）は、行方向45個まで配列されている。また、残りのブロックは、列方向に78バイト構成の第2のパリティ符号44bと、8バイト構成の第1のパリティ符号44aが配列された符号構造を有する。これらの構成を有するブロックは行方向に4個配列されている。

【0031】次に、音声データは、図3に示すように、例えば列方向に91バイトを有するブロックが、行方向に14個配列されたフレーム構造を有する。

【0032】各ブロックは、伝送の同期をとる2バイト構成のSYNCデータ51と、3バイト構成のIDデータ52と、78バイト構成の主データ53と、8バイト構成の第1のパリティ符号54aから構成されている。これらの構成を有するブロック（便宜的に音声データブロックと記す）は、先頭行から5個及び最終行から5個の計10個配列されている。また、残りのブロックは、列方向に78バイト構成の第2のパリティ符号54bと、8バイト構成の第1のパリティ符号54aが配列された符号構造を有する。これらの構成を有するブロックは行方向に4個配列されている。

【0033】そして、本実施例においては、図4に示すように、画像データブロックVB及び音声データブロックABにおける各主データ43及び53の先頭部分に1バイト構成のダビング回数規制コード61が挿入されている。このダビング回数規制コード61は、例えば図5に示すように、先頭ビットに著作権保護対象のものであるかの判別ビットが割り当てられ、次の2ビットに現在のダビング回数を示すデータが割り当てられ、次の5ビ

6

ットに対象の画像データのソースがテープ、ディスク又は放送かの種別データが割り当てられている。

【0034】このダビング回数規制コード61は、例えば、対象の画像データ及び音声データが著作権保護対象で、かつ既に1回ダビングした磁気テープでは、「101XXXXX」と表される（ここでは、カテゴリーコードをドントケアXXXXXで表した）。

【0035】そして、第1実施例に係るダビングシステムの構成は、図6に示すように、基本的に2つのデジタルVTRとこれらVTR間を電氣的につなぐ伝送路Dから構成される。そして、一方のデジタルVTRを再生側とし、他方のデジタルVTRを記録側とする。各デジタルVTR内には、それぞれ再生系と記録系が組み込まれているが、図示の例では、再生側VTRに再生系のみを示し、記録側VTRに記録系のみを示す。

【0036】記録系は、通常のデジタルVTRにおける記録系（図11参照）と同様に、入力されたアナログコンポーネントビデオ信号（Y、R-Y、B-Y）を、デジタルコンポーネントビデオ信号に変換するA/D変換器1と、このA/D変換器1からのデジタルデータを、フレームメモリを用いて水平方向8サンプル、垂直方向8ライン（以下、8×8単位という）を1つのブロックとするデータにまとめ、シャフリング及びY/C多重を行うブロック回路2と、ブロック回路2からの時間振幅領域のデータに対してDCTを行って、周波数領域のデータに変換するDCT回路3と、DCTされたデータを再量子化し、2次元ハフマン符号等による可変長符号化を行って、データ圧縮するエンコーダ4を有する。この可変長符号化は、所定数のDCTブロック（例えば、30DCTブロック）から構成されるバッファリングユニットごとに固定長になるように制御される。

【0037】更に、この記録系においては、上記デコーダ4からの可変長符号化されたデータをECC（Error Correction Code）の積符号構成となるようにブロック化するフレーミング回路5と、ブロック化されたデータにパリティを付加するパリティ発生回路6と、このパリティ発生回路6からのデータをシリアルデータに変換して磁気テープに記録するための記録データとして出力するチャンネルエンコーダ7とを有する。

【0038】再生系は、通常のデジタルVTRにおける再生系（図11参照）と同様に、再生データの検出及び再生データのシリアル/パラレル変換を行うチャンネルデコーダ8と、このデコーダ8からの再生データに対しエラー訂正を行うECC回路9と、エラー訂正されたデータを可変長符号のワード単位に分解するデフレーミング回路10と、ワード単位に分解されたデータを復号化、逆量子化するデコーダ11と、このデコーダ11からのデータに対して逆DCTを行って8×8単位のデータに変換する逆DCT回路12と、この逆DCT回路1

7

2からのデータに対し、デシャプリング、Y/C分離、データ補間等を行ってディジタルコンポーネントビデオ信号に戻すデブロッキング回路13と、このディジタルコンポーネントビデオ信号をアナログコンポーネントビデオ信号に変換して出力するD/A変換器14とを有する。

【0039】そして、この第1実施例においては、再生側VTRにおける再生系のECC回路9と伝送路D間に、FIFO (first-in first-out) 方式のディジタル・インターフェイス (以下、単にI/Fと記す) 62と、例えば8バイト構成の伝送用のパリティ符号を付加するパリティ発生回路63が挿入され、また、記録側VTRにおける記録系のパリティ発生回路6と伝送路D間に、上記再生側のパリティ発生回路63で付加されたパリティ符号に基づいてエラー訂正を行うECC回路64と、I/F65と、ダビング判定回路66と、切換えスイッチ67が挿入されて構成されている。

【0040】ここで、切換えスイッチ67は、通常は、パリティ発生回路6側の可動接点67aとフレーミング回路5側の固定接点67bとがスイッチ67sを介して電気的に接続されているが、ダビング開始に基づいてスイッチ67sが切り換わり、上記可動接点67aとダビング判定回路66側の固定接点67cとが電気的に接続される。

【0041】ダビング判定回路66は、伝送路Dを通じて供給されたデータに含まれているダビング回数規制コード61を読み出して、対象のデータが著作権保護対象であるかを判別し、更に保護対象であった場合において、そのダビング回数規制コード61に記録されているダビング回数と所定のダビング回数とを比較する回路であり、記録されているダビング回数が所定回数以上である場合、コントローラ68にエラー信号を出力し、記録系へのデータ伝送を禁止する。

【0042】また、記録されているダビング回数が所定回数未満である場合、コントローラ68に許可信号を出力し、記録系へのデータ伝送を許可する。この場合、このダビング判定回路66内において、ダビング回数規制コード61のダビング回数データを更新(+1)し、主データと共に切換えスイッチ67を介してパリティ発生回路6側に送る。コントローラ68は、少なくともダビング判定回路66からエラー信号が供給された場合、このVTRに接続されているモニタにエラーメッセージを出力・表示して使用者にその旨を伝える。

【0043】この第1実施例に係るダビングシステムにおいてダビングを行う場合は、まず、再生側VTRにおいて、チャンネルデコード8によって再生されたデータ(図7A参照)が、ECC回路9に供給され、このECC回路9によってエラー訂正が行われる。このとき、記録用の第1及び第2のパリティ符号44a(54a)及び44b(54b)は取り除かれる(図7B参照)。パ

8

リティ符号44a(及び44b)が除かれたビデオデータ(圧縮された状態となっている)43及びダビング回数規制コード61を含む画像データブロック群、並びにパリティ符号54a(及び54b)が除かれたオーディオデータ53及びダビング回数規制コード61を含む音声データブロック群は、後段のI/F62に書き込まれる。このI/F62からは、上記画像データブロック群並びに音声データブロック群が伝送用のクロックで読み出され、これらデータブロック群は、後段のパリティ発生回路63によって、各データブロックの後ろに伝送用のパリティ符号69が付加され(図7C参照)、更に伝送路Dを介して記録側VTRに伝送される。

【0044】記録側VTRにおいては、まず、伝送路Dを通じて伝送されてきた上記データを、ECC回路64にて、それぞれデータブロック毎に付加されているパリティ符号69に基づいてエラー訂正を行う。即ち、伝送路中でエラーが発生したとしても、このECC回路64にてエラー訂正が行われ、再生側VTRのECC回路9から出力されたデータに復元される。

【0045】従って、伝送路D中にデータの変更を行うことができる機器を挿入して、例えばダビング回数規制コード61、特に判別ビットを改変したとしても、その改変は、記録側VTRにおけるECC回路64において、伝送エラーとして処理され、元の内容に復元されることになる。即ち、伝送路D上でのデータの改変が無効になる。つまり、エラー訂正の符号からみると、このデータの改変は、1バイト分のダビング回数規制コード61に伝送エラーが発生したと同一であり、この伝送エラーは、付加された8バイト分のパリティ符号69によって十分にエラー訂正可能である。このことから、伝送路Dに不法に機器を挿入してデータを置き換えるだけでは、不法ダビングの実行は不可能となる。ダビング回数規制コード61を改変して不法ダビングを行う場合は、伝送用のパリティ69も再計算しなければならず、改変するための回路構成が非常に複雑になる。

【0046】そして、ECC回路64からのデータは、I/F65を介してダビング判定回路66に供給され、データに含まれているダビング回数規制コード61に基づいて、ダビングの禁止・許可が電気的に判別される。ダビング許可の場合、上記I/F65からのデータは、切換えスイッチ67を介してパリティ発生回路6に供給され、更にチャンネルエンコード7を通じて磁気テープに記録される。他方、ダビング禁止の場合、上記I/F65からのデータは、パリティ発生回路6には供給されず、そのまま捨てられることになる。この場合、例えばコントローラ68を通じてモニタにダビング禁止であることを知らせるためのメッセージが表示される。

【0047】このように、上記第1実施例に係るダビングシステムによれば、再生側VTRの伝送路Dの出力段にパリティ符号69を付加するパリティ発生回路63を

接続し、記録側VTRの伝送路Dの入力段に上記付加されたパリティ符号69に基づいて、伝送データのエラー訂正を行うECC回路64を接続するようにしたので、伝送路D上でのデータの改変を無効にすることができ、不法ダビングの防止及び著作権保護の強化を確実に達成させることができる。

【0048】次に、第2実施例に係るダビングシステムについて図8を参照しながら説明する。なお、図6と対応するものについては同符号を記し、その重複説明を省略する。

【0049】この第2実施例に係るダビングシステムにおいては、再生側VTRのECC回路9において、再生時のエラー訂正を行った後、第1のパリティ符号44a(54a)を付加したままI/F62を介してデータを伝送する。従って、この再生側VTRは、ECC回路9と伝送路D間に、I/F62のみが接続された構成となり、第1実施例の場合よりも簡単な回路構成となっている。

【0050】記録側VTRは、伝送路Dと再生系のECC回路(9)間にI/F65と第1の切換えスイッチ70が挿入され、更にこの再生系のECC回路(9)と記録系のパリティ発生回路6間にダビング判定回路66と第2の切換えスイッチ67が挿入されて構成され、第1実施例に係るECC回路64が省略された回路構成となっている。

【0051】第1及び第2の切換えスイッチ70及び67は、通常は、各可動接点70a及び67aと各一方の固定接点70b及び67bとがそれぞれスイッチ70s及び67sを介して電氣的に接続される。従って、再生系においては、チャンネルデコーダ(8)からの再生データが第1の切換えスイッチ70を介してECC回路(9)に供給され、記録系においては、フレーミング回路5からのデータが第2の切換えスイッチ67を介してパリティ発生回路6に供給されるようになっている。

【0052】そして、ダビング開始に基づいてそれぞれスイッチ70s及び67sが切り換わり、各可動接点70a及び67aと各他方の固定接点70c及び67cとが電氣的に接続される。従って、この場合、再生系においては、I/F65からの伝送データが第1の切換えスイッチ70を介してECC回路(9)に供給され、記録系においては、ダビング判定回路66からの伝送データが第2の切換えスイッチ67を介してパリティ発生回路6に供給されることになる。

【0053】この第2実施例に係るダビングシステムにおいてダビングを行う場合は、まず、再生側VTRにおいて、チャンネルデコーダ8によって再生されたデータが、ECC回路9に供給され、このECC回路9においてエラー訂正が行われる。この場合、記録用の第1のパリティ符号44a(54a)は付加したままである。なお、第2のパリティ符号44b(54b)は取り除かれ

る。

【0054】第1のパリティ符号44aが付加されたビデオデータ及びダビング回数規制コードを含む画像データブロック群、並びに第1のパリティ符号54aが付加されたオーディオデータ及びダビング回数規制コードを含む音声データブロック群は、後段のI/F62に書き込まれる。このI/F62からは、上記画像データブロック群並びに音声データブロック群が伝送用のクロックで読み出され、伝送路Dを介して記録側VTRに伝送される。

【0055】記録側VTRにおいては、まず、伝送路Dを通じて伝送されてきた上記データがI/F65及び第1の切換えスイッチ70を介して再生系のECC回路(9)に供給される。このECC回路(9)に供給されたデータは、付加されている第1のパリティ符号44a(54a)に基づいてエラー訂正が行われる。このことから、伝送路D中でエラーが発生したとしても、この再生系におけるECC回路(9)にてエラー訂正が行われ、再生側VTRのECC回路9から出力されたデータに復元される。

【0056】従って、この場合も、伝送路D中にデータの変更を行うことができる機器を挿入して、例えばダビング回数規制コード61、特に判別ビットを改変したとしても、その改変は、記録側VTRの再生系におけるECC回路(9)において、伝送エラーとして処理され、元の内容に復元されることになる。

【0057】上記ECC回路(9)からのデータは、それぞれ再生系のデフレーミング回路(10)及びダビング判定回路66に供給される。再生系のデフレーミング回路(10)に供給されたデータは、その後、再生処理されて例えばモニタに映像として映し出される。また、ダビング判定回路66に供給された上記データは、このダビング判定回路66において、データに含まれているダビング回数規制コード61が読み出され、このダビング回数規制コード61に基づいて、ダビングの禁止・許可が電氣的に判別される。

【0058】ダビング許可の場合、上記ECC回路(9)からのデータは、第2の切換えスイッチ67を介してパリティ発生回路6に供給され、更にチャンネルエンコード7を通じて磁気テープに記録される。他方、ダビング禁止の場合、上記ECC回路(9)からのデータは、パリティ発生回路6には供給されず、そのまま捨てられることになる。この場合、例えばコントローラ68を通じてモニタにダビング禁止であることを知らせるためのメッセージが表示される。

【0059】このように、上記第2実施例に係るダビングシステムによれば、上記第1実施例の場合と同様に、伝送路D上でのデータの改変を無効にすることができ、不法ダビングの防止及び著作権保護の強化を確実に達成させることができる。

【0060】特に、記録用の第1のバリティ符号44a(54a)を付加した状態で伝送するようにしたので、再生側VTRの伝送路Dの出力段にI/F62のみを接続した回路構成を採用することができる。また、伝送データに記録用の第1のバリティ符号44a(54a)を付加しているため、記録側において、再生系のECC回路(9)にてエラー訂正を行うことが可能となり、エラー訂正を行うECC回路を新たに挿入する必要がなくなる。このように、上記第2実施例によれば、ダビングシステムの回路構成を簡単化することができ、製造コストの点でも有利になる。

【0061】上記第2実施例においては、第1のバリティ符号44a(54a)のみを付加して伝送するようにしたが、もちろん第1及び第2のバリティ符号44a(54a)及び44b(54b)を付加して伝送するようにしてもよい。この場合、伝送路に伝送するデータの符号構成が図2及び図3で示すフレーム構造と同じになる。

【0062】次に、第3実施例に係るダビングシステムについて図9を参照しながら説明する。なお、図6と対応するものについては同符号を記し、その重複説明を省略する。

【0063】この第3実施例に係るダビングシステムにおいては、再生側VTRにおける再生系のECC回路9と伝送路D間に、I/F62と、スクランブル回路71と、バリティ発生回路63とが挿入され、また、記録側VTRにおける記録系のバリティ発生回路6と伝送路D間に、ECC回路64と、ダビング判定回路66と、I/F65と、切換えスイッチ67が挿入されて構成されている。

【0064】また、再生側VTRには、ECC回路9からのデータからダビング回数規制コード61のみを読み出すダビングデータ読み出し回路72が接続されている。この読み出し回路72は、記録側VTRのダビング判定回路66とほぼ同じ機能を有し、これから伝送するデータがダビング禁止のデータである場合に、後段のスクランブル回路71に起動信号を出力する。

【0065】スクランブル回路71は、上記起動信号の供給に基づいてECC回路9からのデータ、特にビデオデータ43及びオーディオデータ53のみの並べ換え(スクランブル)を行う。従って、それ以外のSYNCデータ41(51)、IDデータ42(52)及びダビング回数規制コード61は並べ換えの対象とはならない。このスクランブル回路71でスクランブルされたデータは、次段のバリティ発生回路63に供給される。

【0066】一方、ECC回路9からのデータがダビング許可である場合は、スクランブル回路71においてデータの並べ換えは行わず、そのままの状態バリティ発生回路63に供給する。

【0067】そして、この第3実施例に係るダビングシ

ステムにおいてダビングを行う場合は、まず、再生側VTRにおいて、チャンネルデコーダ8によって再生されたデータが、ECC回路9に供給され、このECC回路9にてエラー訂正が行われる。この場合、記録用の第1及び第2のバリティ符号44a(54a)及び44b(54b)は取り除かれる。バリティ符号44a及び44bが除かれたビデオデータ43及びダビング回数規制コード61を含む画像データブロック群、並びにバリティ符号54a及び54bが除かれたオーディオデータ53及びダビング回数規制コード61を含む音声データブロック群は、次段のI/F62を介してスクランブル回路71に供給される。

【0068】スクランブル回路71は、読み出し回路72から起動信号が供給された場合、上記データブロック群の各ビデオデータ43及びオーディオデータ53のスクランブルを行って、バリティ発生回路63に供給する。他方、起動信号が供給されない場合は、スクランブルを行わないでそのままバリティ発生回路63に供給する。

【0069】スクランブルされたデータブロック群、もしくはスクランブルされなかったデータブロック群は、バリティ発生回路63によって、各データブロックの後に伝送用のバリティ符号69が付加され、更に伝送路Dを介して記録側VTRに伝送される。

【0070】記録側VTRにおいては、まず、伝送路Dを通じて伝送されてきた上記データを、ECC回路64にて、それぞれデータブロック毎に付加されているバリティ符号69に基づいてエラー訂正を行う。即ち、伝送路D中でエラーが発生したとしても、このECC回路64にてエラー訂正が行われ、再生側VTRのスクランブル回路71から出力されたデータに復元される。

【0071】ECC回路64からのデータは、ダビング判定回路66に供給され、データに含まれているダビング回数規制コード61に基づいて、ダビングの禁止・許可が電気的に判別される。ダビング許可の場合、ECC回路64からのデータは、I/F65及び切換えスイッチ67を介してバリティ発生回路6に供給され、更にチャンネルエンコード7を通じて磁気テープに記録される。他方、ダビング禁止の場合、上記ECC回路64からのデータは、バリティ発生回路6には供給されず、そのまま捨てられることになる。この場合、例えばコントロール68を通じてモニタにダビング禁止であることを知らせるためのメッセージが表示される。

【0072】このように、上記第3実施例に係るダビングシステムによれば、再生側VTRの伝送路Dの出力段に、ダビング禁止の場合のみスクランブルをかけるスクランブル回路71と、伝送用のバリティ符号69を付加するバリティ発生回路63を接続し、記録側VTRの伝送路Dの入力段に上記付加されたバリティ符号69に基づいて、伝送データのエラー訂正を行うECC回路64



を接続するようにしたので、伝送路D上でのデータの改変を無効にすることができる。しかも、ダビング禁止のデータがスクランブルされることから、伝送路D上でダビング可能なデータに改変するには、デスクランブルしなければならず、改変は非常に困難となり、不法ダビングの防止及び著作権保護の強化をより確実に実現させることができる。

【0073】次に、第4実施例に係るダビングシステムについて図10を参照しながら説明する。なお、図9と対応するものについては同符号を記し、その重複説明を省略する。

【0074】この第4実施例に係るダビングシステムにおいては、上記第3実施例に係るダビングシステムとほぼ同じ構成を有するが、スクランブル回路71及びI/F62の代わりにRAM73を用いたことで異なる。このRAM73は、ECC回路9からのデータを、書き込みアドレス生成回路74からの書き込みアドレスに基づいて一時保存し、読出しアドレス生成回路75からの読出しアドレスに従って、上記データを読み出す。そして、この読出しアドレス生成回路75は、通常は、読出しアドレスを書込みアドレス順次に更新するわけだが、上記読出し回路72からの起動信号（ダビング禁止を示す）に基づいて、読出しアドレスを書込みアドレス順次とは異なる順序で更新する。例えばデータをシンクブロック単位で逆順に読み出すように読み出しアドレスを更新する。

【0075】そして、この第4実施例に係るダビングシステムにおいてダビングを行う場合は、まず、再生側VTRにおいて、チャンネルデコーダ8によって再生されたデータが、ECC回路9に供給され、このECC回路9にてエラー訂正が行われる。この場合も、記録用の第1及び第2のバリティ符号44a（54a）及び44b（54b）は取り除かれる。バリティ符号44a及び44bが除かれたビデオデータ43及びダビング回数規制コード61を含む画像データブロック群、並びにバリティ符号54a及び54bが除かれたオーディオデータ53及びダビング回数規制コード61を含む音声データブロック群は、書き込みアドレス生成回路74からの書き込みアドレス順次にRAM73に格納される。

【0076】そして、読み出し回路72から起動信号が供給された場合、読出しアドレス生成回路75からの読出しアドレス更新が通常の逆順になり、RAM73に格納されたデータブロック群が逆順に並べ換えられた状態で読み出され、後段のバリティ発生回路63に供給される。一方、上記読出しアドレス生成回路75に起動信号が供給されない場合、RAM73内のデータブロック群は、通常読出しアドレス順次に読み出されて後段のバリティ発生回路63に供給される。

【0077】並べ換えられたデータブロック群、もしくは並べ換えが行われなかったデータブロック群は、バリ

ティ発生回路63によって、各データブロックの後ろに伝送用のバリティ符号69が付加され、更に伝送路Dを介して記録側VTRに伝送される。

【0078】記録側VTRにおいては、伝送路Dを通じて伝送されてきた上記データを、ECC回路64にて、それぞれデータブロック毎に付加されているバリティ符号69に基づいてエラー訂正を行う。これによって、再生側VTRのRAM73から出力されたデータに復元される。

【0079】ECC回路64からのデータは、ダビング判定回路66に供給され、データに含まれているダビング回数規制コード61に基づいて、ダビングの禁止・許可が電氣的に判別される。ダビング許可の場合、上記ECC回路64からのデータは、I/F65及び切換えスイッチ67を介してバリティ発生回路6に供給され、更にチャンネルエンコード7を通じて磁気テープに記録される。他方、ダビング禁止の場合、上記ECC回路64からのデータは、バリティ発生回路6には供給されず、そのまま捨てられることになる。この場合、例えばコントロール68を通じてモニタにダビング禁止であることを知らせるためのメッセージが表示される。

【0080】このように、上記第4実施例に係るダビングシステムによれば、再生側VTRの伝送路Dの出力段に、ダビング禁止の場合のみ読出しアドレスの更新順序が変わるRAM73と、伝送用のバリティ符号69を付加するバリティ発生回路63を接続し、記録側VTRの伝送路Dの入力段に上記付加されたバリティ符号69に基づいて、伝送データのエラー訂正を行うECC回路64を接続するようにしたので、伝送路D上でのデータの改変を無効にすることができる。

【0081】しかも、ダビング禁止の場合、RAM73における読出しアドレスの更新順序が通常の更新順序と異なるようにしているため、疑似的にスクランブルされることと等価になる。従って、伝送路D上でダビング可能なデータに改変するには、デスクランブルしなければならず、改変は非常に困難となり、上記第3実施例と同様に、不法ダビングの防止及び著作権保護の強化をより確実に実現させることができる。

【0082】なお、上記第3及び第4実施例においては、共に再生側VTRの伝送路Dの出力段にバリティ発生回路63を設け、記録側VTRの伝送路Dの入力段にECC回路64を設けた例を示したが、もちろん、第2実施例に係るダビングシステムの構成に準じた構成を採用することも可能である。

【0083】上記各実施例では、2つのデジタルVTR間におけるダビングシステムに適用した例を示したが、その他、再生側が1台で記録側が複数台のデジタルVTR間のダビングシステムにも適用させることができる。もちろんDAT（デジタル・オーディオ・テープレコーダー）に適用することもできる。

【0084】

【発明の効果】上述のように、本発明に係る伝送装置によれば、記録媒体に記録されたダビング規制情報と共に主データを1つの記録再生装置にて読み出し、この読み出した上記ダビング規制情報と上記主データを伝送路を介して別の記録再生装置に伝送し、上記ダビング規制情報がダビング可能を意味する場合にのみ、上記別の記録再生装置における記録媒体に上記ダビング規制情報と上記主データを記録するようにした伝送装置において、上記ダビング規制情報と上記主データにエラー訂正コード

【図面の簡単な説明】

【図1】本発明に係る伝送装置をデジタルVTR同士のダビングシステムに適用した実施例（以下、単に実施例に係るダビングシステムと記す）に用いられる磁気テープの1ヘリカルトラックの記録フォーマットを示す概念図である。

【図2】本実施例に係るダビングシステムに用いられる磁気テープの1ヘリカルトラックの記録フォーマット中、ビデオエリアに記録される画像データの符号構造を示す概念図である。

【図3】本実施例に係るダビングシステムに用いられる磁気テープの1ヘリカルトラックの記録フォーマット中、オーディオエリアに記録される音声データの符号構造を示す概念図である。

【図4】画像データ及び音声データに記録されるダビング回数規制コードの記録位置を示す概念図である。

【図5】ダビング回数規制コードのビット構成を示す概念図である。

【図6】第1実施例に係るダビングシステムの回路構成を示すブロック図である。

【図7】第1実施例に係るダビングシステムにおけるデータ伝送処理を示す説明図である。

【図8】第2実施例に係るダビングシステムの回路構成を示すブロック図である。

【図9】第3実施例に係るダビングシステムの回路構成を示すブロック図である。

【図10】第4実施例に係るダビングシステムの回路構成を示すブロック図である。

【図11】一般的なデジタルVTRの回路構成を示すブロック図である。

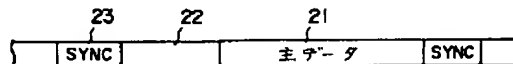
【図12】従来例に係る各種ダビング方法を示すブロック図である。

【図13】従来例に係るダビングにおいて、その伝送データの内容を示す概念図である。

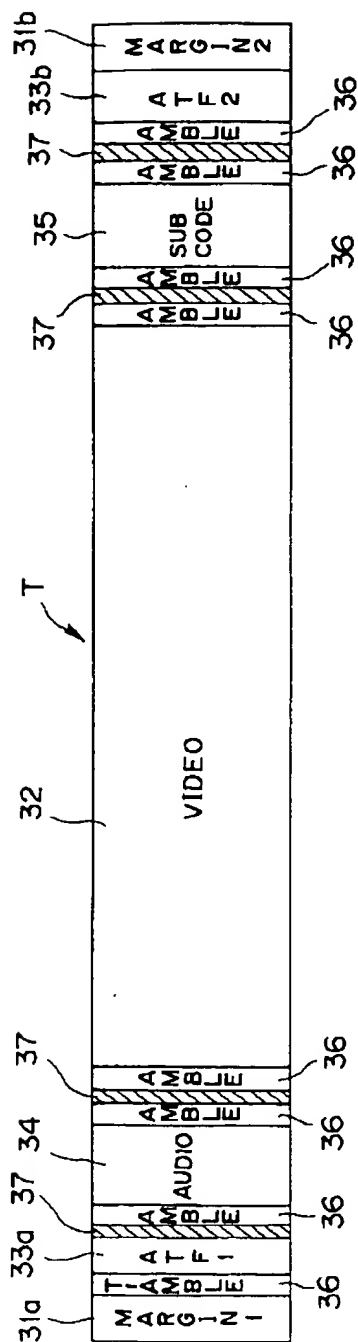
【符号の説明】

- 1・・・A/D変換器
- 2・・・ブロッキング回路
- 3・・・DCT（離散コサイン変換）回路
- 4・・・エンコーダ
- 5・・・フレーミング回路
- 6・・・パリティ発生回路
- 7・・・チャンネルエンコンダ
- 8・・・チャンネルデコーダ
- 9・・・ECC回路
- 10・・・デフレーミング回路
- 11・・・デコーダ
- 12・・・逆DCT回路
- 13・・・デブロッキング回路
- 14・・・D/A変換器
- 41（51）・・・SYNCデータ
- 42（52）・・・IDデータ
- 43（53）・・・主データ（ビデオデータ、オーディオデータ）
- 44a（54a）・・・第1のパリティ符号
- 44b（54b）・・・第2のパリティ符号
- 61・・・ダビング回数規制コード
- 62, 65・・・I/F
- 63・・・パリティ発生回路
- 64・・・ECC回路
- 66・・・ダビング判定回路
- 67・・・切換えスイッチ（第2の切換えスイッチ）
- 68・・・コントローラ
- 69・・・伝送用パリティ符号
- 70・・・第1の切換えスイッチ
- 71・・・スクランブル回路
- 72・・・読出し回路
- 73・・・RAM
- 74・・・書込みアドレス生成回路
- 75・・・読出しアドレス生成回路

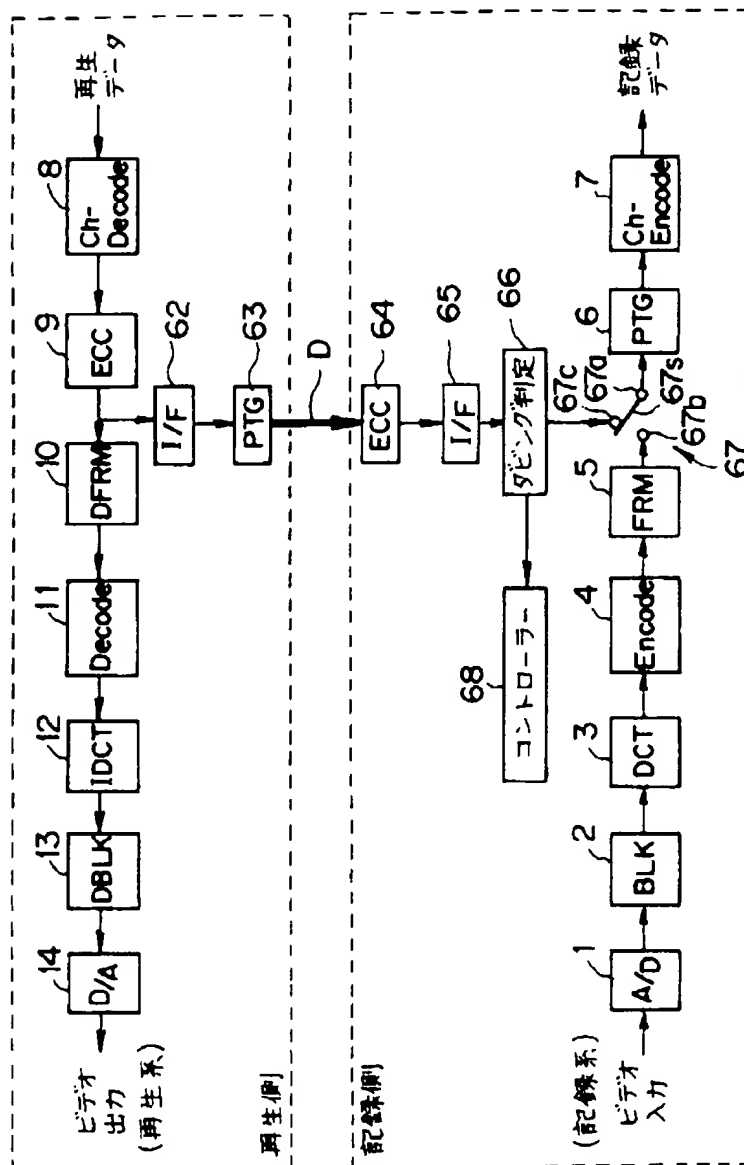
【図13】



【図 1】

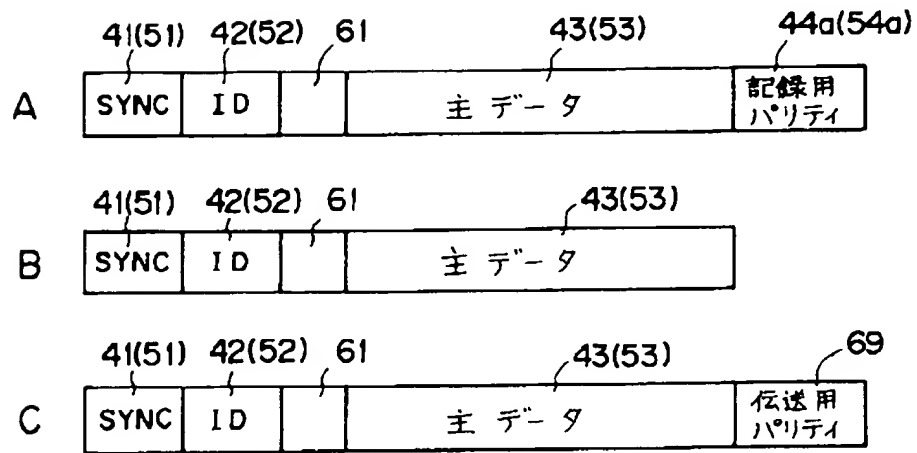


【図 6】

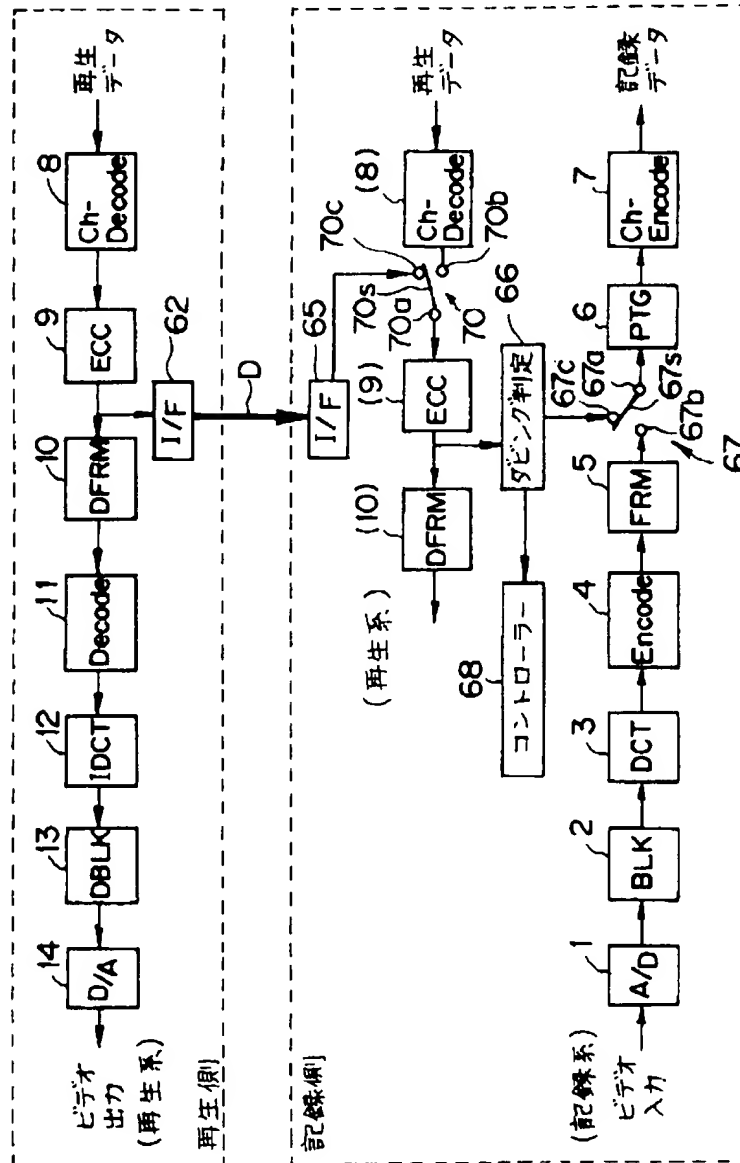


The diagram illustrates the structure of a video frame. At the top, a horizontal bar represents the header, labeled "91 BYTE". It is divided into three segments: "2", "3", and "8". Below this bar, a box represents the header data, divided into "SYNC" (2 bytes), "ID" (3 bytes), "主データ" (Main Data, 78 bytes), and "パリティ" (Parity, 8 bytes). The total length is 91 bytes. Below the header, a large rectangle represents the frame body, labeled "49" on the left. It is divided into two main sections: "C1" (Control 1, 8 lines) and "C2" (Control 2, 41 lines). The total height is 49 lines. The frame body is labeled "44a" and "44b".

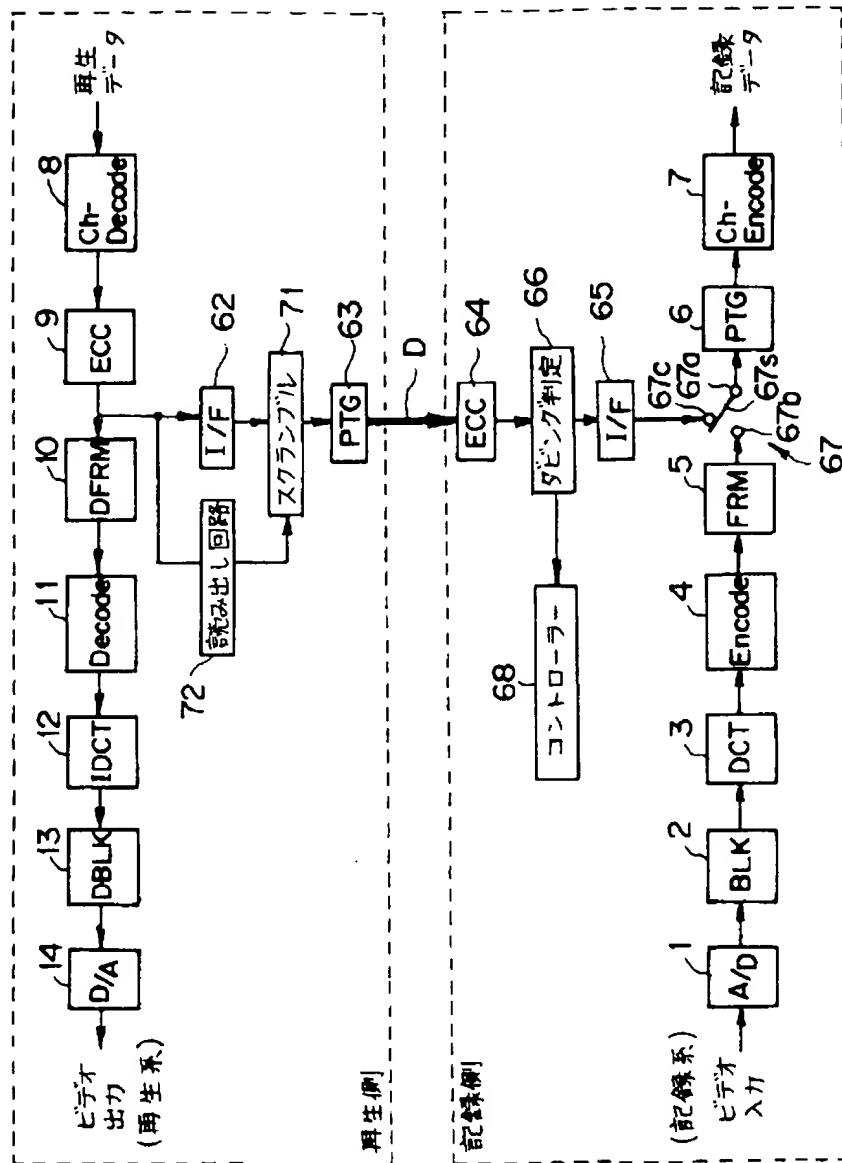
【図7】



【図8】



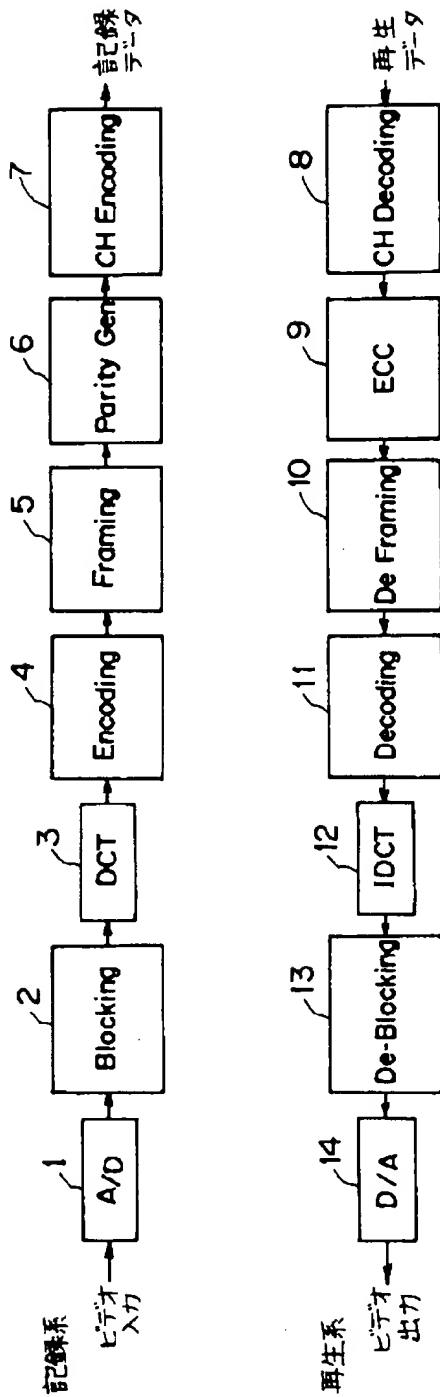
【図9】



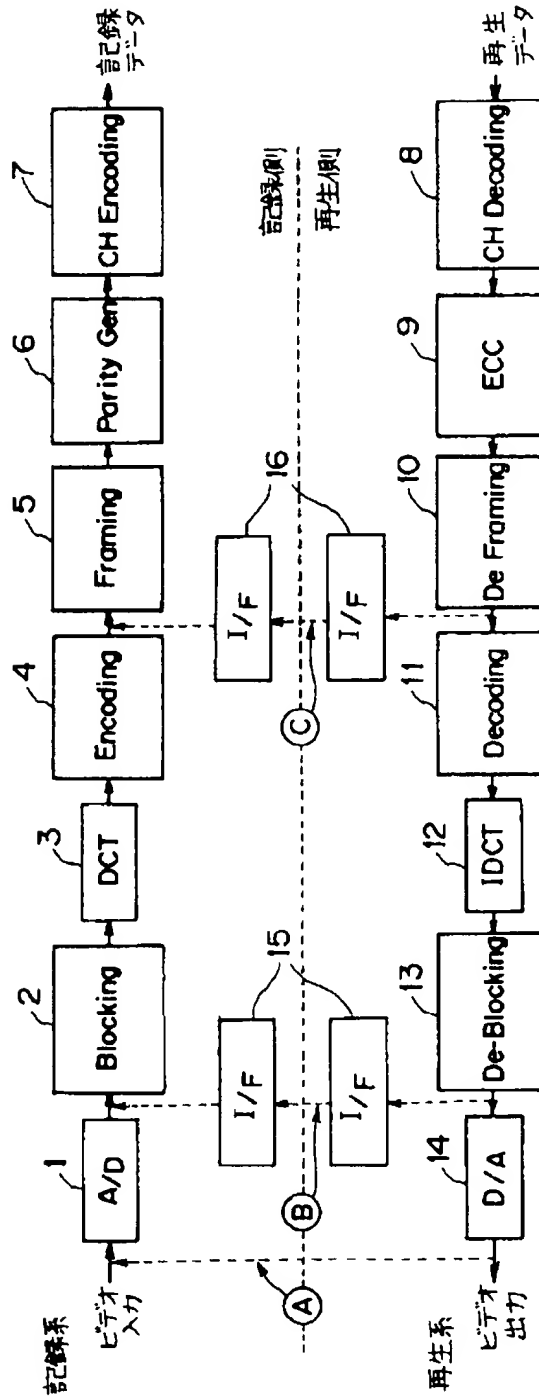




【図11】



【図12】



フロントページの続き

(72)発明者 小川 和幸  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内